

[First Hit](#) [Previous Doc](#) [Next Doc](#) [Go to Doc#](#)

End of Result Set

☐ [Generate Collection](#) [Print](#)

L1: Entry 1 of 1

File: JPAB

Jul 30, 1984

PUB-NO: JP359132153A

DOCUMENT-IDENTIFIER: JP 59132153 A

TITLE: HYBRID INTEGRATED CIRCUIT DEVICE

PUBN-DATE: July 30, 1984

INVENTOR-INFORMATION:

NAME

COUNTRY

YAMAUCHI, MASAHIRO

ASSIGNEE-INFORMATION:

NAME

COUNTRY

MITSUBISHI ELECTRIC CORP

APPL-NO: JP58008052

APPL-DATE: January 18, 1983

US-CL-CURRENT: 257/E23.101

INT-CL (IPC): H01L 23/36; H05K 7/20

ABSTRACT:

PURPOSE: To reduce the yield of stress to a dielectric substrate due to temperature change, by providing a solder blocking region at both end parts of a metalized layer at the back side of the dielectric substrate, and limiting a soldering area.

CONSTITUTION: A dielectric substrate 2, on which circuit elements such as semiconductor elements 5 and 6 are mounted, is bonded to a heat radiating plate 1 by a brazing material such as solder. At this time, a part of a metalized layer 3 on the surface of the substrate on the side of the heat radiating plate 1 is coated by an insulating material 17, whose melting point is higher than the brazing material. Then the insulating material 17 is not fused at the time of soldering work, and the part is not bonded to the solder. Therefore, the bonding area between the heat radiating plate 1 and the substrate 2 becomes small by the formed part of the insulating material 17. As a result, the stress to the substrate 2 is largely decreased.

COPYRIGHT: (C)1984, JPO&Japio

[Previous Doc](#)

[Next Doc](#)

[Go to Doc#](#)

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭59-132153

⑬ Int. Cl.³
H 01 L 23/36
H 05 K 7/20

識別記号

庁内整理番号
6616-5F
6428-5F

⑭ 公開 昭和59年(1984)7月30日

発明の数 1
審査請求 有

(全 4 頁)

⑮ 混成集積回路装置

⑯ 特 願 昭58-8052

⑰ 出 願 昭58(1983)1月18日

⑱ 発 明 者 山内眞英

伊丹市瑞原4丁目1番地三菱電

機株式会社北伊丹製作所内

⑲ 出 願 人 三菱電機株式会社

東京都千代田区丸の内2丁目2
番3号

⑳ 代 理 人 弁理士 大岩増雄

明 細 書

1. 発明の名称

混成集積回路装置

2. 特許請求の範囲

(1) 半導体素子などの回路素子を装着した誘電体基板を放熱板に半田などのろう材で接着してなるものにおいて、上記誘電体基板の上記放熱板側の面のメタライズ層の一部を上記ろう材より融点の高い絶縁物でコーティングしたことを特徴とする混成集積回路装置。

(2) 誘電体基板は長方形をなし、その長手方向の両端部を絶縁物でコーティングしたことを特徴とする特許請求の範囲第1項記載の混成集積回路装置。

(3) 回路素子のうち発熱を伴う素子は絶縁物でコーティングされない部分に対応する部分に装着したことを特徴とする特許請求の範囲第1項または第2項記載の混成集積回路装置。

3. 発明の詳細な説明

(発明の技術分野)

この発明は混成集積回路装置に係り、特にその放熱板への取付け形態の改良に関するものである。

[従来技術]

第1図は従来の混成集積回路装置の一例を示す平面図、第2図はそのⅡ-Ⅱ線での断面図である。図において、(1)は銅からなる放熱板、(2)はアルミナ等からなる誘電体基板、(3)はこの誘電体基板(2)に形成された銀(Ag)-パラジウム(Pd)合金などからなる裏面メタライズ層、(4)は誘電体基板(2)の表面に形成され、任意のパターンを有するAg-Pd等からなる表メタライズ層、(5)、(6)は半田等(図示せず)で表メタライズ層(4)の所要位置に接着された半導体素子、(7)、(8)はそれぞれ半導体素子(5)、(6)の電極(図示せず)と表メタライズ層(4)の所要部分とを接続する金などからなる金線細線、(9)、(10)はそれぞれ半導体素子(5)、(6)および金線細線(7)、(8)を覆うワニス等の絶縁物、(11)、(12)はインピーダンス整合回路を構成するように表メタライズ層(4)の所要部分に半田付けされたそれぞれコンデンサおよびコイルを示す。13は信号入力リード、14

は電源供給用リード、 ④ は信号出力リード、 ⑤ は放熱板(1)と誘電体基板(2)の裏面メタライズ層(3)とを接合する半田層である。

以上のように構成された従来装置では、電源供給用リード ④ から直流電源電圧が供給されて動作し、信号入力リード ③ から入力された信号が数百倍に増幅されて信号出力リード ④ から取り出され増幅器の機能を発揮する。

ところで、高周波信号のような信号の増幅用の混成集積回路装置は、最近、高利得化、高出力化、高性能化が要求され、半導体素子(5)、(6)の搭載数、並びにインピーダンス整合用素子であるコイル ⑦ およびコンデンサ(11)の数の増大、さらには裏メタライズ層(4)のパターンの占める面積等も増大し、誘電体基板(2)の面積は増大の一途をたどっている。しかし、この誘電体基板(2)の大形化に伴って、誘電体基板(2)が割れるという致命的な故障が発生する傾向が大きくなった。特に、放熱板(1)と誘電体基板(2)とを半田層 ⑤ で 200°C 程度の温度で接合した後、室温に、更には -20°C 等の低温にしたと

きに発生する。その原因はアルミナからなる誘電体基板(2)と銅からなる放熱板(1)との熱膨張係数が下表に示すように大きな差を有するため、低温になるほど、また誘電体基板(2)が大形になるほど、誘電体基板(2)の受ける大きくなり、基板割れの発生につながる。

材 質	熱膨張係数
アルミナ	$7 \times 10^{-6} / ^{\circ}\text{C}$
銅	$16.5 \times 10^{-6} / ^{\circ}\text{C}$
半田(鉛40% スズ60%)	$26.6 \times 10^{-6} / ^{\circ}\text{C}$

〔発明の概要〕

この発明は以上のような点に鑑みてなされたもので、誘電体基板の裏メタライズ層の両端部に半田づけ阻止領域を設け、半田づけ面積を制限することによつて、基板割れの発生が少ない混成集積回路装置を提案するものである。

〔発明の実施例〕

第3図はこの発明の一実施例の構成を示す断面図、第4図はこの実施例に用いる誘電体基板の裏

面図である。図において、第1図、第2図と同等部分は同一符号で示し、説明の重複を避ける。この実施例ではアルミナからなる誘電体基板(2)の裏面に裏メタライズ層パターン(4)を、裏面に裏面メタライズ層(3)を従来例と同様に形成し、その後、裏面メタライズ層(3)の上に、その上手方向両端部を所定幅で覆うようにガラスコーティング ⑦ を施す。このガラスコーティング ⑦ は $400 \sim 600^{\circ}\text{C}$ 程度で焼成できるものを用い、厚さは 20μ 以下程度にする。このように形成した誘電体基板(2)の裏メタライズ層(4)に半導体素子(5)、(6)等を半田などで取りつけ、最後にその誘電体基板(2)の裏面を放熱板(1)に鉛(Pb)・スズ(Sn)系半田で接合する。この場合、半田の融点は 300°C 以下であり、上記半田付け作業時にガラスコーティング ⑦ は溶融することとはなく、その部分は半田と接合しない。従つて、放熱板(1)と誘電体基板(2)との接合面積はガラスコーティング ⑦ の形成部分だけ少なくなる。これによつて、大形化された誘電体基板(2)を用い、搭載部品を増加させても、誘電体基板(2)の受けるスト

レスを大幅に軽減できる。ただし、半導体素子(5)、(6)が高出力素子の場合は十分な熱放射を必要とするので、半導体素子(5)、(6)は裏面にガラスコーティングのない部分に取付ける必要がある。

〔発明の効果〕

以上説明したように、この発明になる混成集積回路装置では誘電体基板の放熱板への半田付けを所要部分に限定したので、温度変化による誘電体基板へのストレスの発生を小さくすることができ、基板割れを少なくすることができる。

4. 図面の簡単な説明

第1図は従来の混成集積回路装置の一例を示す平面図、第2図はそのII-II線での断面図、第3図はこの発明の一実施例の構成を示す断面図、第4図はこの実施例に用いる誘電体基板の裏面図である。

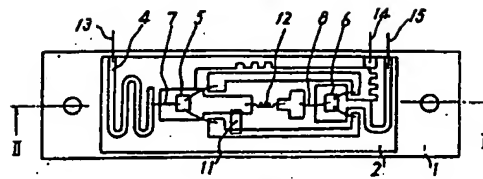
図において、(1)は放熱板、(2)は誘電体基板、(3)は裏面メタライズ層、(4)は裏メタライズ層、(5)、(6)は半導体素子、(11)はコンデンサ(回路素子)、 ⑦ はコイル(回路素子)、 ⑤ は半田層、 ⑦ はガラ

ス層（絶縁層）である。

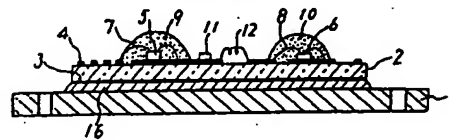
なお、図中同一符号は同一または相当部分を示す。

代理人 高野 信一（外1名）

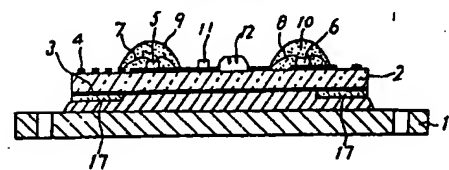
第1図



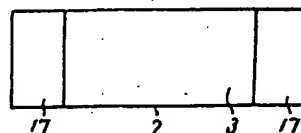
第2図



第3図



第4図



手続補正書(自発)
58 5 17
昭和 年 日

特許庁長官殿

1. 事件の表示 特願昭 58 - 8052 号

2. 発明の名称 混成集積回路装置

3. 補正をする者

事件との関係 特許出願人
住 所 東京都千代田区丸の内二丁目2番3号
名 称 (601) 三菱電機株式会社
代表者 片 山 仁 八 郎

4. 代 理 人

住 所 東京都千代田区丸の内二丁目2番3号
三菱電機株式会社内
氏 名 (7375) 弁理士 大 岩 増 雄
(登録先 03(213)3421 内 7 号)



5. 補正の対象
明細書の発明の詳細な説明の欄
6. 補正の内容
明細書をつぎのとおり訂正する。

ページ	行	訂 正 前	訂 正 後
4	5	受ける	受ける応力は 以 上